

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-017860

(43)Date of publication of application : 17.01.1997

(51)Int.Cl.

H01L 21/768

H01L 21/31

H01L 21/316

H01L 21/318

(21)Application number : 07-161708

(71)Applicant : SONY CORP

(22)Date of filing : 28.06.1995

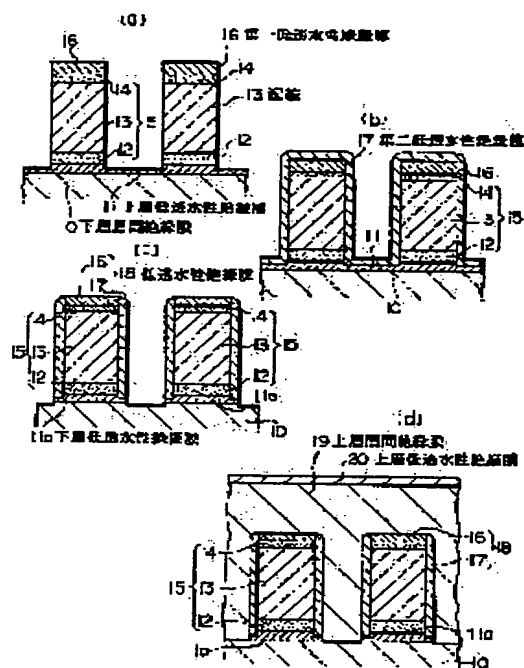
(72)Inventor : TAKIZAWA MASAOKI

(54) WIRING STRUCTURE IN SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a structure which restrains rise of wiring capacitance while preventing moisture absorption and a manufacturing method for realizing such a structure.

CONSTITUTION: In a wiring structure in a semiconductor element, a plurality of lines of wirings 13 are formed on a lower layer insulation film 10 provided on a substrate and an upper layer insulation film 19 is formed on the lower layer insulation film 10 covering the wiring 13. The wiring 13 is arranged on the lower layer insulation film 10 through a lower layer low water permeability insulation film 11a. An upper surface and both side surfaces of the wiring 13 are coated with a low water permeability insulation film 18. The lower layer low water permeability insulation film 11a and the low water permeability insulation film 18 are formed independently for each wiring without being continued between wirings 13. The wiring structure is obtained by the title manufacturing method.



LEGAL STATUS

[Date of request for examination] 05.12.2000

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-17860

(43)公開日 平成9年(1997)1月17日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/768		H 0 1 L 21/90	J
	21/31		21/31	C
	21/316		21/316	X
	21/318		21/318	B
			21/90	V
審査請求 未請求 請求項の数2 O L (全 5 頁)				

(21)出願番号 特願平7-161708

(22)出願日 平成7年(1995)6月28日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 滝沢 正明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

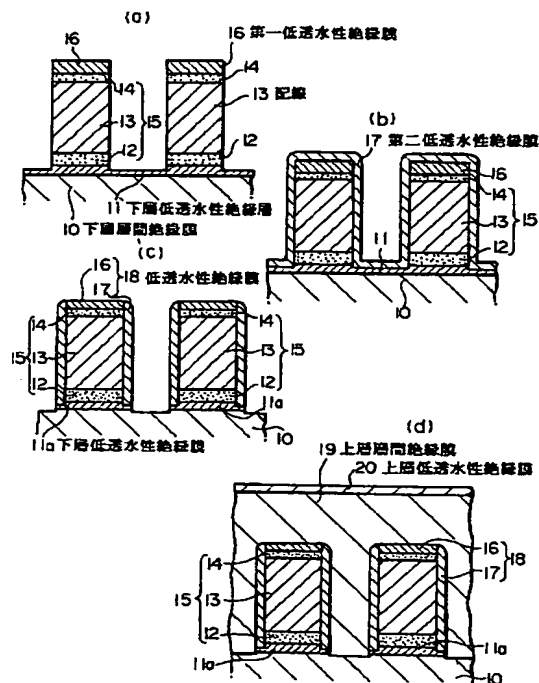
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 半導体素子における配線構造とその製造方法

(57)【要約】

【目的】 吸湿防止を行いつつ配線容量の上昇を抑える構造と、このような構造を実現するための製造方法を提供する。

【構成】 基体上に設けられた下層層間絶縁膜10の上に複数列の配線13が形成され、配線13を覆って下層層間絶縁膜10の上に上層層間絶縁膜19が形成された、半導体素子における配線構造である。配線13が下層層間絶縁膜10上に下層低透水性絶縁膜11aを介して配設されている。配線13の上面および両側面が低透水性絶縁膜18によって被覆されている。下層低透水性絶縁膜11aおよび低透水性絶縁膜18が、共に配線13間で連続することなく、各配線毎に独立して形成されている。また、この配線構造を得る製造方法。



本発明の製造工程説明図

【特許請求の範囲】

【請求項1】 基体上に設けられた下層層間絶縁膜の上に複数列の配線が形成され、該配線を覆って前記下層層間絶縁膜の上に上層層間絶縁膜が形成されてなる、半導体素子における配線構造であって、

前記配線が前記下層層間絶縁膜上に下層低透水性絶縁膜を介して配設され、かつ該配線の上面および両側面が低透水性絶縁膜によって被覆されてなり、

前記下層低透水性絶縁膜および低透水性絶縁膜が、共に前記配線間で連続することなく、各配線毎に独立して形成されてなることを特徴とする半導体素子における配線構造。

【請求項2】 基体上に下層層間絶縁膜を形成する工程と、

前記下層層間絶縁膜上に下層低透水性絶縁層を形成する工程と、

前記下層低透水性絶縁層上に配線層を形成し、かつ該配線層の上に第一低透水性絶縁層を形成する工程と、

前記配線層および第一低透水性絶縁層を共にパターニングし、配線とこれの上を被覆する第一低透水性絶縁膜とを形成する工程と、

前記配線の側面および前記第一低透水性絶縁膜を覆って前記低透水性絶縁層上に第二低透水性絶縁層を形成する工程と、

前記第二低透水性絶縁層を異方性エッチングによりエッチバックし、前記配線間に前記下層層間絶縁膜を露出させ、かつ前記配線上に前記第一低透水性絶縁膜を露出させる工程と、

前記エッチバックの後、露出した第一低透水性絶縁膜を覆い、かつ前記配線間を埋め込んだ状態で前記下層層間絶縁膜上に上層層間絶縁膜を形成する工程と、

を具備したことを特徴とする半導体素子における配線構造の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、半導体素子においてその高速動作および低消費電力を可能にする配線構造と、この配線構造を製造する方法に関する。

【0002】

【従来の技術】論理LSI等の半導体素子では、0.5 μ mルール世代以降急速にクロック周波数をあげていることなどから、その性能が配線遅延時間で決まるようになってきている。配線遅延時間は、配線の寄生容量すなわち配線容量と、配線抵抗とによって決定される。したがって、配線遅延時間を小さくするためには、配線容量あるいは配線抵抗を低減すればよいことになる。しかし、配線抵抗を低減するためには、配線材料が同じである以上その断面積を大きくしなければならないが、断面積を大きくするのは半導体素子の微細化が損なわれてしまうことから、この方向での検討はあまりなされてい

ないのが現状である。よって、近年では、配線遅延時間を小さくするための手法として、主に配線容量を低減することが検討されている。

【0003】配線容量を低減するためには、層間絶縁膜として低誘電率の材料を用いればよく、このような用途に適している低誘電率の絶縁物質としてはSiOFが知られている。SiOFは、例えばCVD法によるSiO₂の生成反応過程にフッ素を導入することで形成されるものである。よって、CVD法によるSiO₂は従来絶縁膜として多く用いられていることから、SiOFは、特に製造装置については従来と大きく変えることなく形成できるといった利点を有している。ところが、SiOFは吸湿性が強く、したがってSiOFに水分が取り込まれるとこれからの層間絶縁膜の誘電率が上昇し、寄生容量が増加してしまい、また、SiOFから脱離した水がAl配線の信頼性を低下させてしまうといった問題がある。

【0004】このような背景から従来では、SiOFによって層間絶縁膜を形成した場合、SiOFが吸湿することを防ぐため、吸湿防止膜として機能する低透水性絶縁膜でSiOF（層間絶縁膜）を被覆するといった対策がなされている。以下、SiOFからなる層間絶縁膜が低透水性絶縁膜で被覆された配線構造の一例を、その製造方法に基づき図2(a)～(c)を参照して説明する。

【0005】まず、図2(a)に示すようにシリコン基板（図示略）上に形成されたSiOFからなる下層層間絶縁膜1の上に、プラズマCVD法によってSiNを厚さ60nm程度に堆積し、SiNからなる下層低透水性絶縁膜2を形成する。次に、この下層低透水性絶縁膜2上にTiNを厚さ100nm程度に堆積し、これの上にAl-Cu（2%）を厚さ500nm程度に堆積し、さらにこれの上にTiNを厚さ50nm程度に堆積する。そして、これらの堆積膜上にレジスト層（図示略）を形成し、その後公知のリソグラフィ技術、エッチング技術によって前記TiN、Al-Cu（2%）、TiNの各膜を同時にパターニングすることにより、図2(a)に示すようにTiNからなるバリアメタル3と、Al-Cu（2%）からなる配線4と、TiNからなる反射防止膜5とによって構成される配線パターン6を得る。

【0006】次いで、このような配線パターン6を覆って前記下層低透水性絶縁膜2上に、再度プラズマCVD法によってSiNを厚さ60nm程度に堆積し、図2(b)に示すようにSiNからなる低透水性絶縁膜7を形成する。次いで、プラズマCVD法によって低透水性絶縁膜7上にSiOFを厚さ2 μ m程度に堆積し、さらにその表層部をCMP法（化学的機械的研磨法）で研磨することによって平坦化し、図2(c)に示すように膜厚1 μ m程度の上層層間絶縁膜8を形成する。さらに、この上層層間絶縁膜8を400℃で30分間アニール

し、その後、これの上にSiNを堆積して上層低透水性絶縁膜9を形成する。

【0007】

【発明が解決しようとする課題】しかしながら、このようにして得られた配線構造では以下に述べる不都合がある。層間絶縁膜材料として用いているSiOFはその誘電率が3.4程度であり、従来層間絶縁膜材料として一般に用いられているSiO₂の誘電率が3.9であるのに対して低いことから、前記の配線構造ではSiO₂を用いた場合に比べ、誘電率の差に相当する配線容量（寄生容量）を低減することができると考えられる。

【0008】ところが、吸湿防止膜として機能する下層低透水性絶縁膜2、低透水性絶縁膜7、上層低透水性絶縁膜8は、誘電率が7.5のSiNによって形成されていることから、特に配線4、4間においては該低透水性絶縁膜7と下層層間絶縁膜2とを合わせた上層層間絶縁膜の実効的な誘電率が上昇し、配線容量の低減効果が小さくなってしまっている。すなわち、配線4、4間においては、誘電率が高い部分に電気力線が集中し、配線間容量が増加するが、該配線4、4間では低透水性絶縁膜7と下層層間絶縁膜2とが上層層間絶縁膜8に接して設けられていることから、配線4、4間においては上層層間絶縁膜8単独の場合に比べ、配線間容量の増加がより顕著になってしまうのである。

【0009】しかし、半導体素子においてはその微細化に伴って隣合う配線の間隔が狭くなり、配線間容量が多くなるのに対し、配線の縦構造（厚さ方向）ではほとんど寸法変化がなく、層間容量も変化が少なくなっている。したがって、微細化に連れて配線容量に占める配線間容量の比率が増加し、例えば0.25μmルール世代では配線間容量の配線容量に占める比率が非常に高くなってきていることから、前述したように配線間容量が増加すると配線容量そのものが非常に高くなってしまふのである。

【0010】一方、防湿性が高く、誘電率が低く、かつ半導体製造プロセスに適する材料があれば、その材料を使用することによって配線容量の低減が図れるのであるが、そのような材料は発見されあるいは開発されていないのが現状である。本発明は前記事情に鑑みてなされたもので、その目的とするところは、吸湿防止を行いつつ配線容量の上昇を抑える構造と、このような構造を実現するための製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明の半導体素子における配線構造では、基体上に設けられた下層層間絶縁膜の上に複数列の配線が形成され、該配線を覆って前記下層層間絶縁膜の上に上層層間絶縁膜が形成されてなり、前記配線が前記下層層間絶縁膜上に下層低透水性絶縁膜を介して配設され、かつ該配線の上面および両側面が低透水性絶縁膜によって被覆され、前記下層低透水性絶縁

膜および低透水性絶縁膜が、共に前記配線間で連続することなく、各配線毎に独立して形成されてなることを前記課題の解決手段とした。

【0012】本発明の半導体素子における配線構造の製造方法では、基体上に下層層間絶縁膜を形成する工程と、前記下層層間絶縁膜上に下層低透水性絶縁層を形成する工程と、前記下層低透水性絶縁層上に配線層を形成し、かつ該配線層の上に第一低透水性絶縁層を形成する工程と、前記配線層および第一低透水性絶縁層を共にパターンニングし、配線とこれの上を被覆する第一低透水性絶縁膜とを形成する工程と、前記配線の側面および前記第一低透水性絶縁膜を覆って前記下層低透水性層上に第二低透水性絶縁層を形成する工程と、前記第二低透水性絶縁層を異方性エッチングによりエッチバックし、前記配線間に前記下層層間絶縁膜を露出させ、かつ前記配線上に前記第一低透水性絶縁膜を露出させる工程と、前記エッチバックの後、露出した第一低透水性絶縁膜を覆い、かつ前記配線間を埋め込んだ状態で前記下層層間絶縁膜上に上層層間絶縁膜を形成する工程と、を具備したことを前記課題の解決手段とした。

【0013】

【作用】本発明の半導体素子における配線構造によれば、その配線が下層層間絶縁膜の上に下層低透水性絶縁膜を介して配設され、かつ該配線の上面および両側面が低透水性絶縁膜によって被覆され、前記下層低透水性絶縁膜および低透水性絶縁膜が、共に前記配線間で連続することなく、各配線毎に独立して形成されてなるので、配線間においては、該配線の側面には低透水性絶縁膜が形成されているものの、配線間における前記下層層間絶縁膜上の少なくとも一部には下層低透水性絶縁膜が無く、したがって該下層層間絶縁膜が配線間に露出するようになる。よって、配線間に下層低透水性絶縁膜を介することなく下層層間絶縁膜が上層層間絶縁膜に連続して配置されているので、この箇所にて電気力線の集中が部分的に断ち切られるようになり、配線の側面が低透水性絶縁膜によって被覆されているにもかかわらず配線間容量の増加が抑えられる。

【0014】本発明の半導体素子における配線構造の製造方法によれば、上面を第一低透水性絶縁膜で被覆した配線の側面、および該第一低透水性絶縁膜を覆って下層層間絶縁膜上に第二低透水性絶縁層を形成し、次いで該第二低透水性絶縁層を異方性エッチングによりエッチバックして、前記配線間に前記下層層間絶縁膜を露出させ、その後下層層間絶縁膜上に上層層間絶縁膜を形成するので、配線間に露出した下層層間絶縁膜上に第二低透水性絶縁層を介することなく上層層間絶縁膜を形成することができ、これにより前記の配線間容量の増加を抑えた配線構造が製造可能になる。

【0015】

【実施例】以下、本発明の半導体素子における配線構造

を、その製造方法に基づいて詳しく説明する。まず、図1(a)に示すようにシリコン基板(図示略)上に形成されたSiO₂からなる下層層間絶縁膜10上に、プラズマCVD法によってSiNを厚さ60nm程度に堆積し、SiNからなる下層低透水性絶縁層11を形成する。

【0016】次に、この下層低透水性絶縁層11上にPVD法によってTiNを厚さ100nm程度に堆積し、続いてPVD法によってAl-Cu(2%)を厚さ500nm程度に堆積し、さらにこれの上にPVD法によってTiNを厚さ50nm程度に堆積し、これにより本発明の配線層(図示略)を形成する。次いで、この配線層の上にプラズマCVD法によって第一低透水性絶縁層となるSiNを厚さ100nm堆積する。

【0017】そして、これらの堆積膜上にレジスト層(図示略)を形成し、その後公知のリソグラフィ技術とエッチング技術によって前記TiN、Al-Cu(2%)、TiN、SiNの各層(膜)を同時にパターニングすることにより、図1(a)に示すようにTiNからなるバリアメタル12、Al-Cu(2%)からなる配線13、およびTiNからなる反射防止膜14によって構成される配線パターン15と、これの上を被覆するSiNからなる第一低透水性絶縁膜16とを得る。次いで、このような配線パターン15を覆って前記下層低透水性絶縁層11上に、再度プラズマCVD法によってSiNを厚さ60nm程度に堆積し、図1(b)に示すようにSiNからなる第二低透水性絶縁層17を形成する。

【0018】次いで、前記第二低透水性絶縁層17、さらに第一低透水性絶縁膜16、下層低透水性絶縁層11を、エッチャントとして例えばCF₄+H₂を用いた反応性イオンエッチング、すなわち異方性エッチングによってそれぞれ100nmエッチバックする。すると、配線パターン15の上部では第二低透水性絶縁層17が除去されて第一透水性絶縁膜16の途中でエッチングが停止し、図1(c)に示すように該配線パターン15上に第一低透水性絶縁膜16が露出する。また、このエッチバックは異方性エッチングであるので、配線パターン15の側壁においては第二低透水性絶縁層17が残る。また、配線パターン15、15間においては、先にバリアメタル12、配線13、反射防止膜14を形成したときのオーバーエッチングによって下層低透水性絶縁層11の層厚が減少しているため、今回のエッチバックによって該下層低透水性絶縁層11がなくなり、下層層間絶縁膜10にまでエッチングが及んで図1(c)に示すように該下層層間絶縁膜10が配線パターン15、15間に露出する。

【0019】なお、このようにして配線パターン15の上面に形成された第一低透水性絶縁膜16、および配線パターン15の両側面に形成された第二低透水性絶縁層

17とを合わせて、本発明では低透水性絶縁膜18とする。また、配線パターン15、15間において下層低透水性絶縁層11がなくなることにより、該下層低透水性絶縁膜11は配線パターン15とこれの両側面に形成された第二低透水性絶縁層17との直下にのみ残り、下層低透水性絶縁膜11aとなる。

【0020】次いで、プラズマCVD法により、前記低透水性絶縁膜18上および露出した下層層間絶縁膜10上に層間絶縁膜としてSiO₂を2μm堆積し、配線パターン15、15間を埋め込む。そして、層間絶縁膜の表層部をCMP法(化学的機械的研磨法)で研磨することによって平坦化し、図1(d)に示すように膜厚1μm程度の上層層間絶縁膜19を形成する。さらに、この上層層間絶縁膜19を400℃で30分間アニールし、その後、これの上にSiNを堆積して上層低透水性絶縁膜20を形成する。

【0021】このようにして得られた図1(d)に示す配線構造の配線容量をシミュレーション結果に基づいて計算したところ、配線間容量が80.5fF/mm、配線層間容量が25.0fF/mmであった。一方、図2(c)に示した配線構造の配線容量を同様のシミュレーション結果に基づいて計算したところ、配線間容量が88.0fF/mm、配線層間容量が25.1fF/mmであった。この結果より、本発明では、従来のものに比べて特に配線間容量が8.5%減少し、これにより配線遅延を少なくすることができると確認された。

【0022】このように本発明の配線構造にあっては、配線パターン15、15間において下層層間絶縁膜10上に下層低透水性絶縁膜11がなく、したがって下層層間絶縁膜10に上層層間絶縁膜19が連続して形成されているので、この箇所にて電気力線の集中が部分的に断ち切られるようになり、これにより配線容量の増加を抑えることができる。なお、前記実施例では下層層間絶縁膜10、上層層間絶縁膜19をSiO₂から形成したが、これに代えて例えばSiO₂によって形成してもよく、その場合には配線間の埋め込み性が良いといった利点がある。

【0023】

【発明の効果】以上説明したように本発明の半導体素子における配線構造は、配線間にて下層低透水性絶縁膜を介することなく下層層間絶縁膜を上層層間絶縁膜に連続して配置したものであるから、この箇所にて電子力線の集中を部分的に断ち切ることによって配線間容量の増加を抑え、これにより配線容量の増加を効果的に抑えることができる。したがって、この配線構造を備えた半導体素子の動作の遅延時間を少なくして高速動作化を可能にすることができ、また、配線容量を充放電するために消費していた電力を減らせることにより、消費電力の低下も可能にすることができる。

【0024】本発明の半導体素子における配線構造の製

造方法は、配線間にて露出した下層層間絶縁膜上に第二低透水性絶縁層を介することなく上層層間絶縁膜を形成することができるものであるから、前記の配線容量の増加を抑えた配線構造を容易に製造することができ、したがって高速動作、低消費電力を可能にする半導体素子の配線構造を提供することができる。

【図面の簡単な説明】

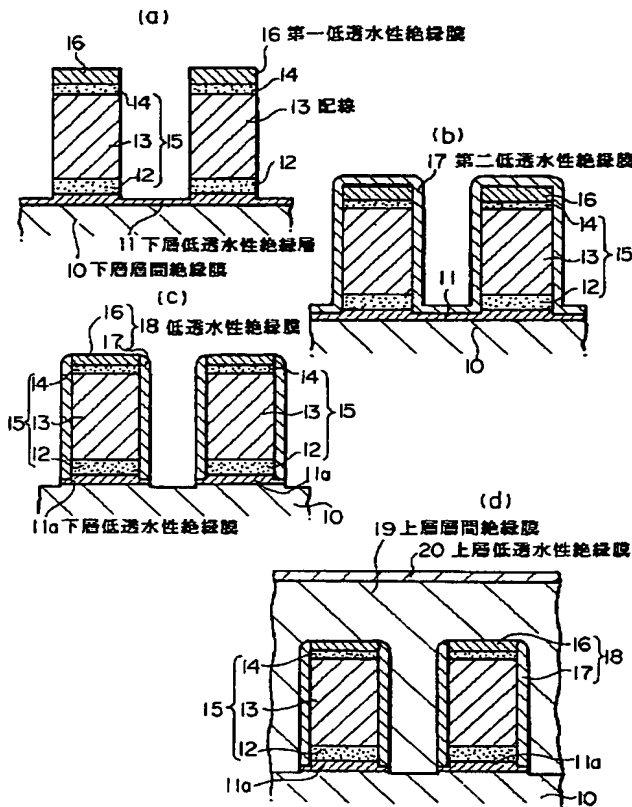
【図1】(a)～(d)は本発明の配線構造の製造方法を工程順に説明するための要部側断面図である。

【図2】(a)～(c)は従来の配線構造の製造方法を工程順に説明するための要部側断面図である。

【符号の説明】

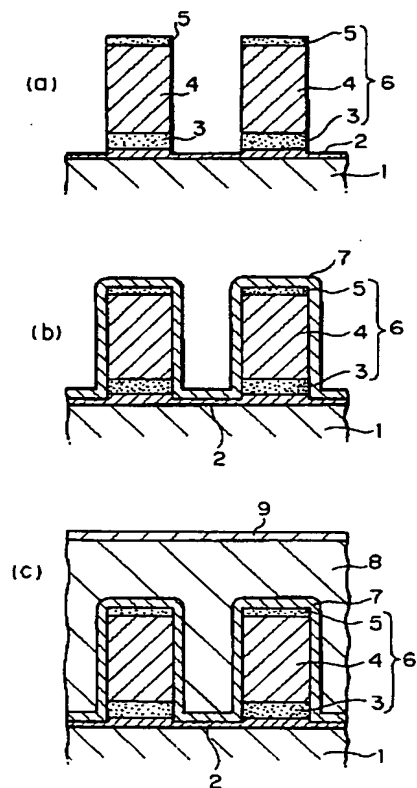
- 10 下層層間絶縁膜
- 11 下層低透水性絶縁層
- 11a 下層低透水性絶縁膜
- 13 配線
- 16 第一低透水性絶縁膜
- 17 第二低透水性絶縁膜
- 18 低透水性絶縁膜
- 19 上層層間絶縁膜
- 20 上層低透水性絶縁膜

【図1】



本発明の製造工程説明図

【図2】



従来の製造工程説明図